

申 請 者	学科名	情報通信工学科	職 名	助教	氏 名	小 椋 清 孝
調査研究課題	投機的 CABAC 処理回路の検証環境の構築					
調査研究組織	氏 名	所 属 ・ 職		専 門 分 野	役 割 分 担	
	代 表	小 椋 清 孝	情報通信工学科 助教	集積回路工学	研究全般	
	分 担 者	吉 澤 良 平	情報通信工学科 B4	集積回路工学	回路設計・ソフトウェア実装	
調査研究実績の概要	<p>CABAC (Context Adaptive Binary Arithmetic Coding) は、H. 264 や、4K、8KTV で用いられる HEVC (High Efficiency Video Codec) などの動画圧縮規格内で使用されるエントロピー符号化処理である。従来のハフマン符号等の可変長符号処理に比べ、高い圧縮性能を持っているが、一方で、処理に必要な演算量は従来の物より増加しており、さらに並列化が困難という問題を持っているため、様々な高速化手法が模索されている。その一つの方法として、小さい値のシンボルが頻出する画像ブロック先頭部分用の「マルチシンボル処理回路」と、大きな値のシンボル用の「マルチビン処理回路」とを組み合わせたハイブリッド構成の係数データ処理専用回路について提案し開発を行っている。</p> <p>このようなアクセラレーション回路の機能検証や性能評価を行う場合、符号データ中に点在する直接の処理対象のデータ列だけでなく、対象処理の開始時点までの処理結果に基づく各種パラメータ等も必要となる。回路シミュレーション用のテストベンチを作成するには、入力ベクタとしてこれらのデータの抽出を行う必要があるが、動画ファイル全体を通したテストを行うとすると、画像ブロックごとに CABAC 処理が行われるため、膨大な個数のテストデータのセットが必要となり、現実的にはほぼ不可能である。そこで、CPU とハードウェア (FPGA) とを組み合わせた SW/HW 協調設計により、ハードウェア部でアクセラレーション回路を動作させ、CPU でソフトウェアによりアクセラレーション部以外の処理を行う構成を設計し、これを用いてシームレスにデータを授受してテストを行う SW/HW 協調検証環境を導入することとした。</p>					

調査研究実績
の概要

本研究では、アクセラレーション回路のテスト環境として、このSW/HW協調検証環境の検討を行った。回路検証を目的とするため、できるだけ開発負荷の少ない方法が好ましいとして検討した結果、実装基盤として、ARMプロセッサ（SW部）とFPGA部（HW部）が混載されているZYNQプロセッサ（Xilinx社）を選択し、さらにその上で実行するOSとしてXilinx（Xillybus社）を用いることとした。このOSは、FPGA部との通信回路が組み込まれた形でOSのソフトウェアとプロセッサの回路情報が公開されている。この環境を用いてHW部の任意の回路の検証を行うSW/HWの構成について検討した。

Xillybusでは、デモ回路として32bitおよび8bitの幅を持つFIFOメモリがソフトウェア側と接続されたもの（図1）が提供されている。また、このFIFOとのデータ授受を行うサンプルプログラムも提供されているが、writeやreadといった命令を使用してデータを書き込むだけでなく、バスのアクセス制御等についてはプログラム側で考慮する必要がない。

本研究では、これらを利用して検証環境を構築した。ハードウェア側のテスト回路は入力用FIFOに書き込まれたデータを取得してこれを処理し、処理結果を出力用FIFOに書き出す（図2）という構成になる。一方、ソフトウェア側は処理したいデータをwriteコマンドで書き出し、結果をreadコマンドで読み出すというプログラムの構成となる。デモ回路にさらにFIFOを追加し、FIFO間にテスト回路を挿入した検証回路を設計し、まず、一入力出力のテスト回路で動作を確認した。その結果、データが正しく処理されたことをソフトウェア側で確認することができた。

この構成では、処理するデータをすべてFIFOに格納して一次元データ化された形でHW部へ渡されることとなる。そこで、多入力の処理回路の検証へ対応させるため、ステートマシンを使用してFIFOからの入力をデータ保持用のレジスタに分配し、必要なデータがそろった時点で演算処理を開始させる機能を持つ管理回路を設計し、動作検証を行った。その結果、所望の機能を持つことが確認でき、これにより、任意の数の他入力処理回路にも対応することが可能となった。

今後の検討課題は、画像のフレームデータなどの大量の配列データなどへの対策やポインタの扱いの対応等が挙げられる。

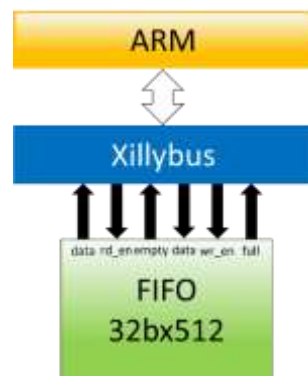


図1 Xillybusデモ回路
(8bitFIFO部は省略)

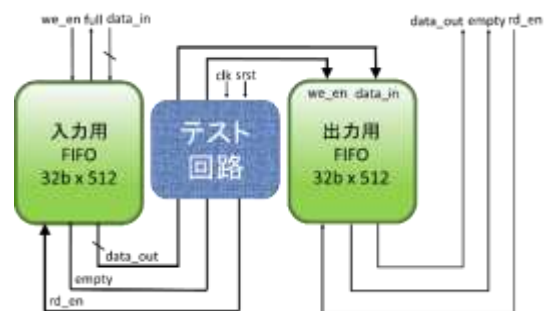


図2 構成したHW部の回路接続構成