

申請者	学科名	情報通信工学科	職名	教授	氏名	伊藤 信之
調査研究課題	デジタルプロセスで実現可能な高周波集積回路の研究					
調査研究組織	氏名	所属・職		専門分野	役割分担	
	代表	伊藤信之	情報通信工学科教授	集積回路	設計回路提案担当・リーダー	
	分担者	北野大志	システム工学専攻 博士前期課程1年	集積回路	設計・回路検証担当	
調査研究実績の概要	<p><本研究の目的・手段> 高性能な高周波アナログ回路を実現するためには、高性能なオンチップインダクタを実現する事が必須であるが、通常、高性能なオンチップインダクタを実現するためには、低寄生抵抗化が必要であり、$R = \rho \frac{l}{TW}$で示される寄生抵抗を低下させるために厚さが3~4μmの厚い金属配線を用いる必要がある。しかしながら、厚い金属配線層は論理回路を中心とする一般的なLSIのプロセスでは実現し得ないため、特別なオプションプロセスを用いる事となり、すなわち、プロセスコストが高くなる、という課題がある。</p> <p>本研究の目的は、そのような状況を鑑み、特別なオプションプロセスを用いる事なく、高性能なオンチップインダクタを実現し、したがって、高性能な高周波アナログ回路を実現する事にある。ここで着目したのは、高周波領域では表皮効果の影響により金属配線の断面の全領域を電流が一様に流れずに、その周辺部分に偏在することである。つまり、金属配線の厚さを厚くするよりも、その周辺長を長くする事ができれば低寄生抵抗化には有効であると考えられそれは薄膜金属配線を用いても同じであると考えられる。</p> <p>本研究の個々の回路における具体的な手段としては、オンチップインダクタの電磁界シミュレーションによる解析・設計、当該オンチップインダクタを用いた回路の詳細設計、回路のレイアウト設計、試作および評価、であり、研究のステップとしては、(i)厚膜配線を用いたインダクタ構造最適化、(ii)インダクタの薄膜化とその構造の最適化、となる。本研究では回路として電圧制御発振器と低雑音増幅器を選定しているが、それぞれの回路について、今年度の研究のステップは異なる。</p>					

<今年度の進行状況>

・電圧制御発振器 (VCO)

今年度の進行状況は厚膜配線を用いたインダクタ構造最適化のまとめを行い、更に、インダクタの薄膜化とその構造の最適化に着手した。我々のグループでは、厚膜配線を用いたインダクタ構造最適化の検討について、実験的には文献[1]に示したように一定の効果をj得ていたが、電磁界シミュレーションによる再現が未達であった。今回、電磁界シミュレーションにおけるメッシュの最適化を行うことで、Fig.1に示すように厚膜配線においても金属配線を分割することで低抵抗化が得られることがシミュレーションによっても確認された。一方、Fig.2に示すように、薄膜配線を用いたインダクタを擁した24GHzの電圧制御発振器の設計、試作は完了しており、现阶段では評価中である。

・低雑音増幅器 (LNA)

表皮効果の影響はより高周波領域 (>20GHz) で顕著であるが、数GHz帯においてもその影響はある。今年度は、我々のグループで検討しているデュアルバンド低雑音増幅器に対して金属配線構造を最適化した回路を設計・試作・評価を行った。チップ写真をFig.3に示す。ここで示したチップは厚膜配線を用いたインダクタを擁したものであり、その結果は8月のAVIC2016^[2]および11月の電気・情報関連学会中国支部連合大会にて分担者より発表され、AVIC2016ではStudent Paper Awardを受賞した。更にそのインダクタを薄膜配線としたチップを設計し2月にテープアウトし、現在試作中である。

<今後の課題>

電圧制御発振器に関しては現在進行中のチップ測定を進め、薄膜配線を用いた場合の最適化を進めていくとともに、更に高い周波数におけるアプローチを検討する予定である。一方、数GHz帯の低雑音増幅器に関しては、2月にテープアウトしたチップが6月に出来る予定であり、その結果をもって高周波領域への展開を検討する。

参考文献

[1] N. Itoh, H. Tsuji, Y. Itano, T. Morishita, K. Komoku, and S. Yoshitomi, "A Study of Striped Inductor for K- and Ka-band Voltage-controlled Oscillators," IEICE Transaction on Electronics, Vol.E99-C, No.6, pp.614-622, Jun. 2016
 [2] T. Kitano, K. Komoku, T. Morishita, N. Itoh, "A 2.4/5.25 GHz Concurrent Dual-Band LNA Equipped Matching Networks Using Mutual Induction," The 19th International Conference on Analog VLSI Circuits (AVIC2016), pp.113-116, Boston, Aug. 2016.

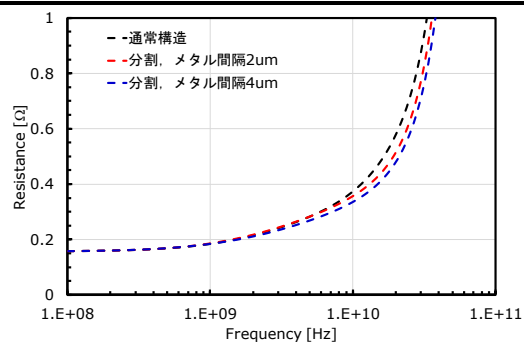


Fig. 1 金属配線を分割したインダクタの寄生抵抗

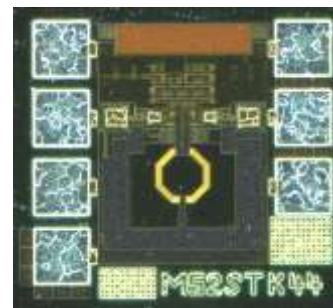


Fig. 2 薄膜配線インダクタを用いたVCOチップ

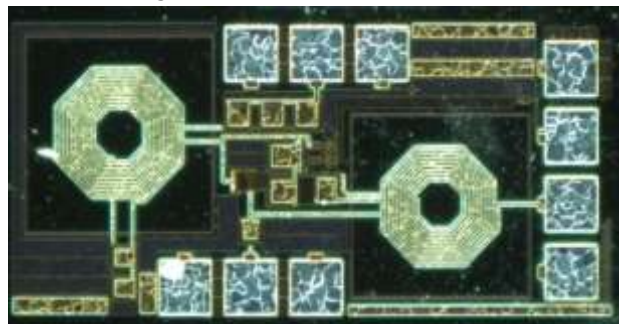


Fig. 3 厚膜配線インダクタの構造を最適化したLNAチップ