

申請者	学科名	人間情報工学科	職名	教授	氏名	佐藤 洋一郎
調査研究課題	補聴器におけるデジタル部を対象とした非同期化による消費電力の低減					
調査研究組織	氏名	所属・職		専門分野	役割分担	
	代表	佐藤洋一郎	人間情報工学科・教授	情報工学	研究の統括、非同期化の基本方針の策定および消費電力の評価	
	分担者	横川 智教 瀬島 吉裕	情報システム工学科・助教 人間情報工学科・助教	情報工学 感性工学	IPコア単体とIPコア間通信を対象とした非同期化の検討とその動作検証 音声処理システムにおける信号処理部の非同期化の検討	
調査研究実績の概要	<p>1. 負数演算機能を備えたビットシリアル積和演算器</p> <p>負数演算に対応した小面積かつ低消費電力な直列積和演算器を考案した。まず、既存の積和演算器を構成する乗算器を置換し、乗算と加算に係る処理を独立に行う直列積和演算器（以下、独立型という）を構成した。次に、独立型におけるビット単位の処理過程に着目し、ビットごとの加算を乗算処理に統合・隠蔽することにより演算時間の短縮化を図った（以下、これに基づいた直列積和演算器をビットシリアル型という）。ここで、2 の補数に基づいた乗算の負数への拡張は定数加算に帰着できるため、これをビットシリアル型と同様に乗算処理へ統合することで負数演算に対応した直列積和演算器を構成した。以上の直列積和演算器を設計し、タイミングシミュレーションを通じてその動作を確認するとともに、既存の積和演算器との性能比較を通じてその有効性を示した。</p> <p>図1に設計したビットシリアル型の構成を示す。SRa及びSRbはそれぞれ被乗数a及び乗数 bを格納するシフトレジスタであり、SRc及びSRdはそれぞれ演算結果の上位ビットc及び下位ビットdを格納するシフトレジスタである。ここで、各レジスタの PI および P0 は並列の入出力、SI および S0 は直列の入出力を表し、En のアサートにより PI の値を保持する。また、FAは全加算器、D-FFCはFA 処理で生じた桁上げを保持する非同期クリア (CLR) 付のフリップフロップ、D-FFEは演算の完了を表す信号 End を保持するためのフリップフロップである。RO：演算期間中のみ擬似的なクロック (CLK) を生成するリングオシレータであり、CtrlはRO からの CLK に同期して各レジスタのシフトタイミングを制御するコントローラである。ここで、リングカウンタを用いて制御信号 CS を生成する。CS1及びCS0 は、それぞれ、SRa及びSRb、SRd のシフトタイミングを指示する信号である。</p>					

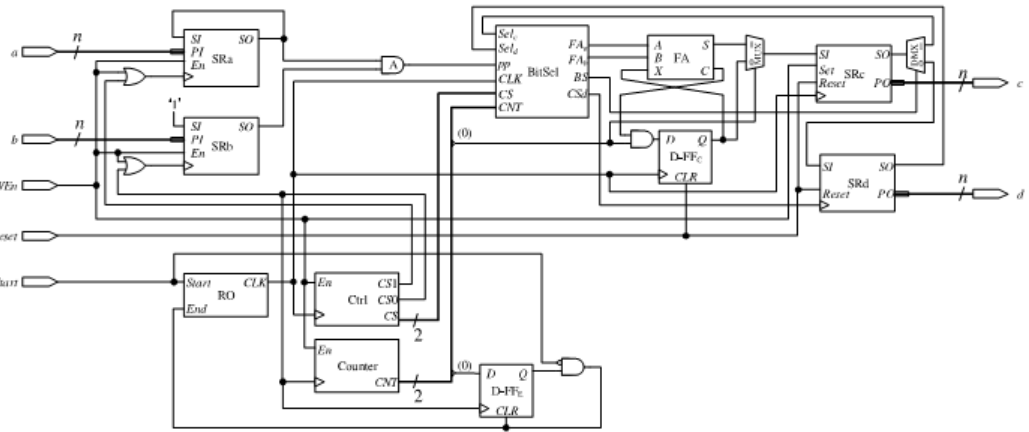


図1：ビットシリアル型積和演算器の構成

図2に、Xilinx XPower Analyzerを用いて FPGA 実装時における消費電力を解析した結果を示す。n の増加に伴って並列演算器である Booth MAC の消費電力が急激に増大している。一方、TS MAC に着目すると、負数演算機能を付加したにもかかわらず、他の 2 種の直列演算器と比較しても、その消費電力の増大は特に見られず、低消費電力な回路であることが確認できる。

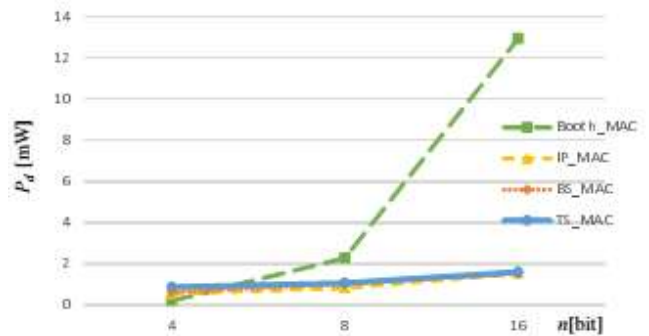
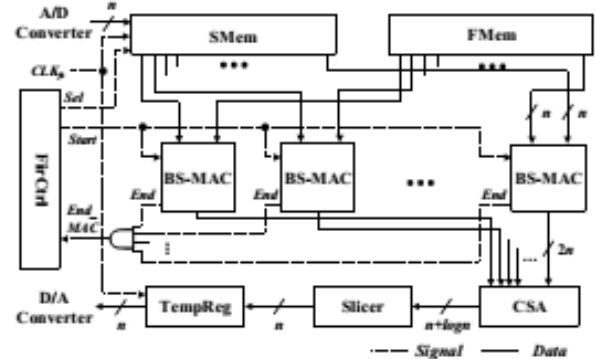


図2：消費電力の解析結果

## 2. ビットシリアル型積和演算器を用いた FIR フィルタの実装

実際の補聴器においては、積和演算器はフィルタを実現するために用いられる。そこで、上述したビットシリアル型積和演算器を用いて FIR フィルタ設計・実装した。その構成を図3に示す。まず、得られたデジタル音声信号はCLKfsに同期してSMemに保存され、制御回路 (FirCtrl) のSel信号に基づいて、BS-MACにデータを分配する。また、これにあわせて、FMem (ROM) に



保存されているフィルタ係数も同様に分配される。そして、FirCtrlが各BS-MAC

### 図3：FIRフィルタの構成

に演算開始信号 (Start) をアサートすると、演算が開始され、演算を終えた順に各BS-MACから演算終了信号 (End) がアサートされる。全てのBS-MACが演算を完了、すなわちEnd\_MACがアサートされることで、mタップ分の積和演算が完了したことになる。以上の処理を、CLKfs内にd回行うことで必要とするd×m回の積和演算が行われる。その後、各BS-MACに保持されている一時的な演算結果は、桁上げ保存加算器 (CSA) により加算され、Slicerにより上位nビットが抽出された後、出力レジスタ (TempReg) を介して出力される。

調査研究実績  
の概要

成果資料目録

1. 負数演算機能を備えたビットシリアル積和演算器, 電子情報通信学会技術研究報告, CAS2015-58 (2015-11) .
2. ビットシリアル型積和演算器を用いた FIR フィルタの実装, 2016年電子情報通信学会総合大会, 情報・システムソサイエティ特別企画, 学生ポスターセッション, SP-150 (2016-03) . 【優秀ポスター賞 受賞】 (108件中8件)